

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

As rescanning documents *will not* correct images,
Please do not report the images to the
Image Problem Mailbox.

⑫ 公開特許公報(A) 平4-25285

⑬ Int. Cl.⁸
H 04 N 1/40

識別記号 庁内整理番号
1 0 1 A 9068-5C

⑭ 公開 平成4年(1992)1月29日

審査請求 未請求 請求項の数 1 (全8頁)

⑮ 発明の名称 光電変換素子のシェーディング補正回路

⑯ 特 願 平2-129677

⑰ 出 願 平2(1990)5月19日

⑱ 発 明 者 鈴木 清 介 東京都品川区北品川6丁目7番35号 ソニー株式会社内
⑲ 発 明 者 和 波 英 樹 東京都品川区北品川6丁目7番35号 ソニー株式会社内
⑳ 出 願 人 ソニー株式会社 東京都品川区北品川6丁目7番35号
㉑ 代 理 人 弁理士 小 池 晃 外2名

明 細 書

1. 発明の名称

光電変換素子のシェーディング補正回路

2. 特許請求の範囲

複数個の受光素子が配置されて成る光電変換素子のシェーディング歪みを補正するための光電変換素子のシェーディング補正回路において、

上記光電変換素子により複数回撮像された所定レベルの画像信号の各画素毎の出力特性データを上記撮像回数にそれぞれ記憶する記憶手段を備え、この記憶手段に記憶された上記撮像回数分の各画素毎の出力特性データを、各画素毎に上記撮像回数を任意に切り換えて読み出してシェーディング補正用データとすることを特徴とする光電変換素子のシェーディング補正回路。

3. 発明の詳細な説明

(産業上の利用分野)

本発明は、CCDラインセンサ等の光電変換素子のシェーディング補正を行うための光電変換素子のシェーディング補正回路に関する。

子のシェーディング補正を行うための光電変換素子のシェーディング補正回路に関する。

〔発明の概要〕

本発明は、複数個の受光素子が配置されて成る光電変換素子のシェーディング歪みを補正するための光電変換素子のシェーディング補正回路において、光電変換素子により複数回撮像された所定レベルの画像信号の各画素毎の出力特性データを撮像回数にそれぞれ記憶する記憶手段を備え、この記憶手段に記憶された出力特性データを、各画素毎に記憶時の撮像回数を任意に切り換えて読み出してシェーディング補正用データとすることにより、シェーディング補正後の出力画像に現れ易いノイズやむら等を軽減するものである。

〔従来の技術〕

例えばファクシミリやスキャナ等の画像読み取り機能部においては、受光セルが1次元配列されたCCD撮像素子等を用いて成る光電変換素子、

いわゆるラインセンサを、上記受光セルの配列方向（主走査方向）に対して直交する方向（副走査方向）に移動（スキャン）させることで2次元的な画像読み取りを行っている。

このような画像読み取り機能部においては、画像原稿に光を照射する光源の光量のむらやラインセンサの感度のむら等の原因により生じる階調表現特性のむら、いわゆるシェーディング歪みを除去するために、シェーディング補正を行っているものが多い。

一般にこのシェーディング補正には、黒レベル補正と白レベル補正とがあり、CCDラインセンサ等の光電変換素子から出力される黒レベル及び白レベル、すなわち光源を遮断したときのセンサ暗レベル及び画像原稿の位置に設けられた白基準板に光を照射して撮像したときの白レベルを、各画素毎に求めてそれぞれメモリに記憶させ、これらのメモリに記憶されている黒基準レベル及び白基準レベルを基に、センサからの出力を補正することによりシェーディング補正を行っている。

るものである。

（課題を解決するための手段）

本発明に係る光電変換素子の駆動回路は、複数の受光素子が配置されて成る光電変換素子のシェーディング歪みを補正するための光電変換素子のシェーディング補正回路において、上記光電変換素子により複数回撮像された所定レベルの画像信号の各画素毎の出力特性データを上記撮像回数にそれぞれ記憶する記憶手段を備え、この記憶手段に記憶された上記撮像回数分の各画素毎の出力特性データを、各画素毎に上記撮像回を任意に切り換えて読み出してシェーディング補正用データとすることにより、上述の課題を解決する。

（作用）

複数の撮像により得られた出力特性データを画素毎に撮像回を任意に切り換えてシェーディング補正に用いているため、シェーディング補正時の補正むらをランダム化でき、固定パターンによ

（発明が解決しようとする課題）

ところで、このようなシェーディング補正を行うための黒基準レベルや白基準レベルを求める際に、量子化むらや外来ノイズ等が生じると、これらの成分も含めた黒レベルや白レベルがメモリに記憶されてしまい、これらの黒レベルや白レベルを基準レベルとしてシェーディング補正を行うと、補正による量子化むら等が出力画像に上記副走査方向の線状のノイズ（横すじ）が現れる。

これは、特に黒補正について顕著に現れるものである。すなわち、黒補正は、センサからの階調の出力むらを補正するためのものであるが、補正による量子化むらが横すじになるという欠点があり、特に黒い画像原稿をシェーディング補正した場合に目立つ。

本発明はこのような点に鑑みてなされたものであり、シェーディング補正の際に出力画像に現れる横すじ等の悪影響を軽減し得るような光電変換素子のシェーディング補正回路の提供を目的とする。

る横すじ等の発生を防止することができる。

（実施例）

第1図は本発明に係る光電変換素子のシェーディング補正回路の実施例を示すブロック回路図であり、光電変換素子としては、いわゆるCCDラインセンサを用いている。第2図は実施例の動作を説明するための出力特性図である。

第1図において、CCDラインセンサ4は主走査方向（ライン方向）に複数の（例えば1728個）の受光セルが配列されて構成されており、このラインセンサ4からの撮像出力信号は、増幅器5で増幅され、A/D変換器6に送られてデジタル信号に変換され、シェーディング補正回路30に送られている。このシェーディング補正回路30は、黒基準レベルを記憶するためのメモリ31と加算器（減算器）32とにより黒補正が行われ、白基準レベルを記憶するためのメモリ33と割り算器34とにより白補正が行われて、シェーディング補正後のデータが出力端子37から取り出さ

れるように構成されている。これらのメモリ31及び33は、不規則アドレス発生回路35により書込/読出アドレスが制御されており、不規則アドレス発生回路35はクロック発生路39からのクロックに応じて動作する。また、クロック発生路39からのクロックはラインセンサ4にも供給されている。

このような構成において、画像原稿に照射する光源を遮断したとき(暗時)にラインセンサ4から得られるいわゆる暗電流出力は、A/D変換器6でデジタルデータに変換されて、黒基準レベルの画像データとしてメモリ31に送られて記憶される。この場合、ラインセンサ3-1による画像は複数回(例えば4回)行われ、これらの各回の黒レベルデータがそれぞれメモリ31に記憶される。具体的には、CCDラインセンサ4の主走査方向に配列される受光素子の数(画素数)を1728個とし、主走査方向に直交する副走査方向にCCDラインセンサ4を移動させながら4ライン分の黒レベル画像データを読み取るものとするとき、

これらの黒レベル及び白レベルのデータの記憶動作は、実際の画像原稿の読み取りに先立って行われるものであり、例えば画像原稿読み取り開始位置よりも手前側に白紙基準板を設けておき、ラインセンサ4がこの白紙基準板の位置から画像原稿読み取り開始位置に達する間に、上記黒レベル及び白レベルのデータの読み取り及び記憶を行わせるようにすればよい。

次に、実際の画像原稿の読み取りの際には、各メモリ31、33に記憶された黒レベル及び白レベルのデータに基づいてシェーディング補正処理を行うわけであるが、少なくとも黒レベルデータについては上述したように複数ライン分(4ライン分)がメモリ31に記憶されており、各画素毎にラインを任意に切り換えてメモリ31から読み出してシェーディング補正のための黒基準レベルのデータを得るようにしている。すなわち、不規則アドレス発生回路35は、クロック発生路39からのクロックに応じて読出アドレスを発生する際に、画素毎にライン数が不規則に選択されるよ

メモリ31に記憶されるデータは、次の第1表のようなものとなる。

第1表

第1ライン	D _{0,1}	D _{0,2}	D _{0,3}	D _{0,1728}
第2ライン	D _{1,1}	D _{1,2}	D _{1,3}	D _{1,1728}
第3ライン	D _{2,1}	D _{2,2}	D _{2,3}	D _{2,1728}
第4ライン	D _{3,1}	D _{3,2}	D _{3,3}	D _{3,1728}

この第1表において、データD_{n,m}は、第nライン(n=1, 2, 3, 4)の第m画素目(m=1~1728)の黒基準レベル画像データを示している。なお、ラインセンサ4についての上記副走査方向の移動は行わなくてもよく、同じ位置で4回撮像を行わせてもよい。

次に、白紙基準板等に光源からの光を照射したときのラインセンサ4からの出力、すなわち白基準レベル画像データを、メモリ33に記憶する。この場合も、必要に応じて複数回(複数ライン分)の白レベルデータを求め、それぞれメモリ33に記憶するようにしてもよい。

うなアドレスを発生している。これは、例えば乱数発生器により1~4の間の数値をランダムに発生させ、画素アドレスがインクリメントされる毎に上記ランダムに発生された1~4の間の数値をラインのアドレスとすればよい。あるいは、疑似乱数テーブル等に基づいてラインアドレスをランダム化してもよい。この場合、上記副走査方向にラインセンサ4を移動させながら画像読み取りを行う際に、4ライン周期で巡回的に黒レベルデータを読み出すときの出力データの一例を次の第2表に示す。

第2表

第1ライン	D _{0,1}	D _{0,2}	D _{0,3}	D _{0,1728}
第2ライン	D _{1,1}	D _{1,2}	D _{1,3}	D _{1,1728}
第3ライン	D _{2,1}	D _{2,2}	D _{2,3}	D _{2,1728}
第4ライン	D _{3,1}	D _{3,2}	D _{3,3}	D _{3,1728}

ここで、原稿画像の読み取り開始位置の第1ラインから第4ラインまでの読み取り画像データに対して第2表に示す第1~4の各ラインの黒基

黒レベル画像データによる補正演算がそれぞれ行われ、画像読み取りの次の第5ラインの画像データに対しては再び第2表の第1ラインのデータを用いた黒補正が行われるように、巡回的に4ライン周期で互いに異なる黒レベルデータが用いられるわけである。これは、黒レベルデータの各画素単位でのライン間シャッフルを4ラインの範囲内で行ったことに相当し、このようにシャッフルすることによってライン上の固定パターンがなくなり、横すじの発生が軽減される。また、メモリ33に複数ライン分の白レベルデータを記憶しておき、各画素毎にライン間シャッフルして読み出して白補正用の白基準レベル画像データとして用いることにより、補正後の出力画像への悪影響をさらに軽減することができる。なお、上記第1表及び第2表の具体例では、補正用基準データの書き込み時には正読のラインアドレスによるメモリアクセスを行い、メモリ読み出し時に不規則なラインアドレスによりライン間シャッフルを行わせているが、データ書き込み時にライン間シャッフル

て得られた画像信号の各画素データ毎にそれぞれ対応する黒レベルデータを減算し、減算結果に対応する白レベルデータで割り算することにより行っている。第k番目($k=1\sim1728$)の画素についての画像データをS_k、黒レベルデータをB_k、白レベルデータをW_k。とすると、補正後の同じ第k番目の画像データV_k。(8ビット)は、

$$V_k = \frac{S_k - B_k}{W_k} \times 256$$

の式を計算することで求められる。ただし、少なくとも黒レベルデータB_kについては、各画素毎に複数ライン間でシャッフルされたデータが用いられる。

このようなシェーディング補正演算が行われることにより、第2図Dに示すような出力が得られる。この第2図Dの信号V₀₁₁がシェーディング補正された画像信号を示しており、この補正後における上記黒レベルV₀₁₁は00H(Hは16進数であることを示す)で、白レベルV₀₁₁はFFHでそれぞれ表されることになる。

を行い、読み出し時のラインアドレスは正読の順序でインクリメントするようにしてもよい。

次にシェーディング補正の基本原理解について、第2図A～Dを参照しながら簡単に説明する。

先ず第2図Aは、シェーディング補正前のラインセンサ4からの出力画像信号を示しており、上記光源を遮断したときのセンサ出力である黒レベル信号B L、白基準板等を読み取ったときのセンサ出力である白レベル信号W H、及び通常の画像原稿を読み取ったときのセンサ出力の一例としての画像信号S I Gを示している。これらの黒レベル信号B L及び白レベル信号W Hには、画像読み取り領域A R₀の全体に亘って変化する低周波成分と、被写体程度の短い範囲で変化する高周波成分とが重なって現れている。この黒レベル信号B Lを上記メモリ31に記憶し、白レベル信号W Hを上記メモリ33に記憶する。これらの各メモリ31、33に記憶される黒レベルデータB L及び白レベルデータW Hをそれぞれ第2図B、及びCに示す。シェーディング補正は、画像され

なお、この例では、シェーディング補正された出力画像データを8ビットとしているが、任意のビット数としてもよいことは勿論である。

次に、本発明に係る光電変換素子のシェーディング補正回路の上記実施例が用いられる画像読み取り装置の一具体例について、第3図を参照しながら説明する。この第3図は、画像原稿を読み取って画像メモリに記憶させ、この画像メモリから所定フォーマットのテレビジョン信号、例えばいわゆるNTSC方式のテレビジョン信号の水平走査信号や垂直走査信号に同期をとって繰返し読み出すことにより、静止画表示用の映像信号として出力するような画像読み取り装置の基本構成を示しており、この画像読み取り装置は、本件出願人が例えば特願平1-83330号、特願平1-83696号、特願平1-83697号の各明細書及び図面等において提案しているものである。このような画像読み取り装置によれば、短時間で応答性良く画像原稿を映像化して表示することができる。

この第3図に示す画像読み取り装置において、原稿撮像台1上に設置された画像原稿GDを読み取る画像読み取りヘッド2には、光源3、マルチレンズアレイRL及びCCDラインセンサ4が設けられており、光源3が画像原稿GDを照射し、画像原稿GDからの反射光がマルチレンズアレイRLを介してラインセンサ4により受光されるようになっている。このラインセンサ4は、例えば1728個のCCD受光セルが直線上に主走査方向に沿って配置されて構成されており、例えば画像原稿GDに対して主走査方向（表示画面上では垂直方向）の1ラインを読み取る際上記光源2がカラー3原色のR、G、Bに対応する光で順次発光することにより、カラー3原色の画像信号がライン順次（ただし、この場合のラインは画面の垂直方向）で得られるようになっている。画像読み取りヘッド2のラインセンサ4からの出力は増幅器5で増幅され、A/D変換器6に送られてデジタル画像データに変換され、第1図と共に先に説明したようなシェーディング補正回路30に送

られて、シェーディング補正が施される。このとき、少なくとも黒レベルデータについては、各画素毎に複数ライン間でシャッフルされたデータが用いられてシェーディング補正されることは前述した通りである。

このシェーディング補正されたデジタル画像データは、いわゆるFIFO等のラインバッファ7によりタイミング合わせがなされて出力され、画像メモリ8に記憶されるようになっている。ここで、読取タイミング制御回路9は、モータ駆動回路26、光源駆動回路28、ラインセンサ駆動回路29等を制御するものであり、モータ駆動回路26は画像読み取りヘッド2を上記読取走査方向に移動させるヘッド送りモータ27を回転駆動し、光源駆動回路28は光源3のR、G、B点灯駆動制御を行い、ラインセンサ駆動回路29は上記画像読み取りヘッド2内のラインセンサ4を読み取り駆動制御する。上記第1図のクロック発生器39は、読取タイミング制御回路9（及びラインセンサ駆動回路29）に略々相当する。

次に、上記R、G、Bの各色毎のデジタル画像データが記憶される画像メモリ8は、メモリ制御回路10からの制御信号により書込／読出制御されるようになっている。すなわち、先ず書き込み時には、上記ラインセンサ4の受光セル配列方向（主走査方向）が画面の垂直方向であるから、この垂直方向の1ライン毎にラインセンサ4Sの水平方向（副走査方向）の移動（スキャン）に応じてR、G、Bの各ラインが順次書き込まれる。画像メモリ8からの読み出しの際には、メモリ制御回路10が所定のテレビジョン信号フォーマット（例えばNTSCフォーマット）の水平（H）同期信号や垂直（V）同期信号に応じたタイミングで、水平方向のライン走査を繰り返し行いながら垂直方向に移動するようなアドレスアクセスを行うことにより、上記R、G、Bのデジタル画像データを並列的に読み出して出力する。

画像メモリ8から読み出されたR、G、Bの各デジタル画像データは、D/A変換器19でそれぞれアナログ信号に変換されて重量回路12に送

られる。この重量回路12には、画像読み取り装置の各種操作に関連した機能を英文字、数字、記号等により表示するためのキャラクタ表示信号がキャラクタ発生回路25から供給されている。なお、キャラクタ発生回路25は、例えばポインタマークやトリミング枠等を表示するためのキャラクタ等も発生可能となっている。重量回路12においては、キャラクタ発生回路25からのキャラクタ表示信号が、上記アナログ画像信号に対して重量されて出力される。重量回路12からのR、G、B画像信号、いわゆるカラーコンポーネント信号は、出力端子13R、13G、13Bを介して取り出され、カラーCRT（陰極線管）14等の表示装置に送られる。なお、上記重量回路12からのR、G、B画像信号は、Y（輝度）信号マトリクス回路15及びC（クロマ）信号マトリクス回路16にそれぞれ送られてY信号及びC信号となり、出力端子13Y及び13Cからそれぞれ出力される。これらのY信号及びC信号は、混合回路17でミックスされて、いわゆる複合（コン

ボット) カラー映像信号S。となり、出力端子13Vを介して出力される。

次に、上記読み取りタイミング制御回路9及びメモリ制御回路10は、システム制御回路(いわゆるシステムコントローラ)21により制御されており、このシステム制御回路21は、CPU22との間でデータや制御信号の送受が行われるようになっている。このシステム制御回路21とCPU22とは一体的な構成としてもよい。キー入力装置23からは、画像読み取り開始操作や、表示画像内容をスクロールさせたり、表示画像内の任意の箇所を指示するためのポインタマークを表示させたり、表示画像内の任意の範囲を指定して再度読み取りを行わせるためのトリミング枠を表示させたりするためのキー入力信号をCPU22に供給するようになっている。このCPU22は、キャラクタ発生回路25を制御して、所望のキャラクタ、例えばポインタマークやトリミング枠等を表示するためのキャラクタを発生させ、これらのキャラクタに基づくキャラクタ表示信号を上記

重量回路12に送っている。

なお、システム制御回路21からは、水平同期信号HD、垂直同期信号VD及びこれらの同期信号が混合されたコンポジット同期信号SYNCがそれぞれ出力端子18H、18V、18Sに送られている。

このような構成の画像読み取り装置によれば、短時間で応答性良く画像原稿を映像化してCRTモニタ表示装置等に表示させることができ、例えば展示会や講演会等でのプレゼンテーション等に用いるのに好適である。

このような画像読み取り装置に、本発明に係る光電変換素子のシェーディング補正回路を使用した場合には、少なくとも黒レベルデータのライン上での固定パターンがなくなり、出力画像上での横すじ等の悪影響を低減することができる。また、白レベルデータについても複数ライン間でシャフリリングすることにより、出力画像への悪影響をさらに軽減することができる。

(発明の効果)

以上説明したことからも明らかなように、本発明に係る光電変換素子のシェーディング補正回路によれば、光電変換素子により複数回撮像された所定レベルの画像信号の各画素毎の出力特性データを上記撮像回数にそれぞれ記憶させ、これらの撮像回数分の各画素毎の出力特性データを、各画素毎に上記撮像回を任意に切り換えて読み出してシェーディング補正用データとすることにより、1回の撮像により生ずる固定パターンを複数回の撮像データに分散させて、出力画像に現れる横すじ等の悪影響を軽減することができる。

さらに、本発明によれば、複数回の撮像により得られた出力特性データを平均化する場合に比べて、回路が簡単であり、平均化処理時間が不要で高速応答に適している。

4. 図面の簡単な説明

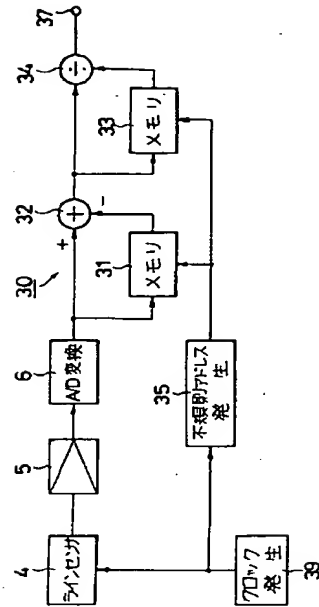
第1図は本発明に係る光電変換素子のシェーディング補正回路の一実施例及びその周辺を示すブ

ロック回路図、第2図A〜Dは該実施例の動作を説明するための波形図、第3図は該実施例が用いられる画像読み取り装置の全体の概略構成を示すブロック回路図である。

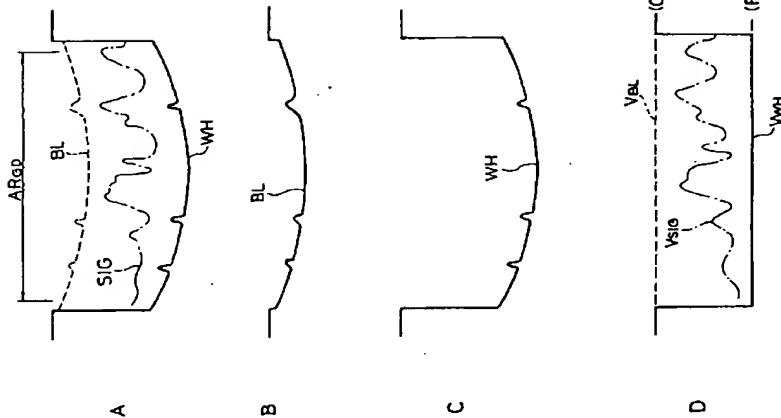
- CD.....画像原稿
- 1.....原稿搬送台
- 2.....画像読み取りヘッド
- 3.....光源
- 4.....CCDラインセンサ
- 6.....A/D変換器
- 8.....画像メモリ
- 9.....タイミング制御回路
- 10.....メモリ制御回路
- 11.....D/A変換器
- 12.....重量回路
- 21.....システム制御回路
- 22.....CPU
- 28.....光源駆動回路
- 29.....ラインセンサ駆動回路

- 30.....シェーディング補正回路
- 31.....黒レベル用メモリ
- 32.....加算器(減算器)
- 33.....白レベル用メモリ
- 34.....割り算器
- 35.....不規則アドレス発生回路
- 37.....出力端子
- 39.....クロック発生器

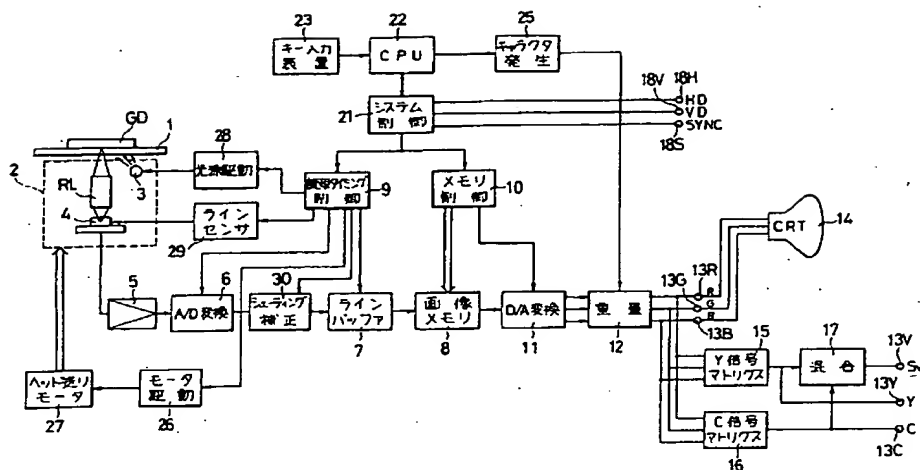
特許出願人 ソニー株式会社
 代理人 弁理士 小池 晃
 同 田村 榮一
 同 佐藤 勝



一実施例のブロック図
第1図



動作説明波形図
第2図



第 3 図